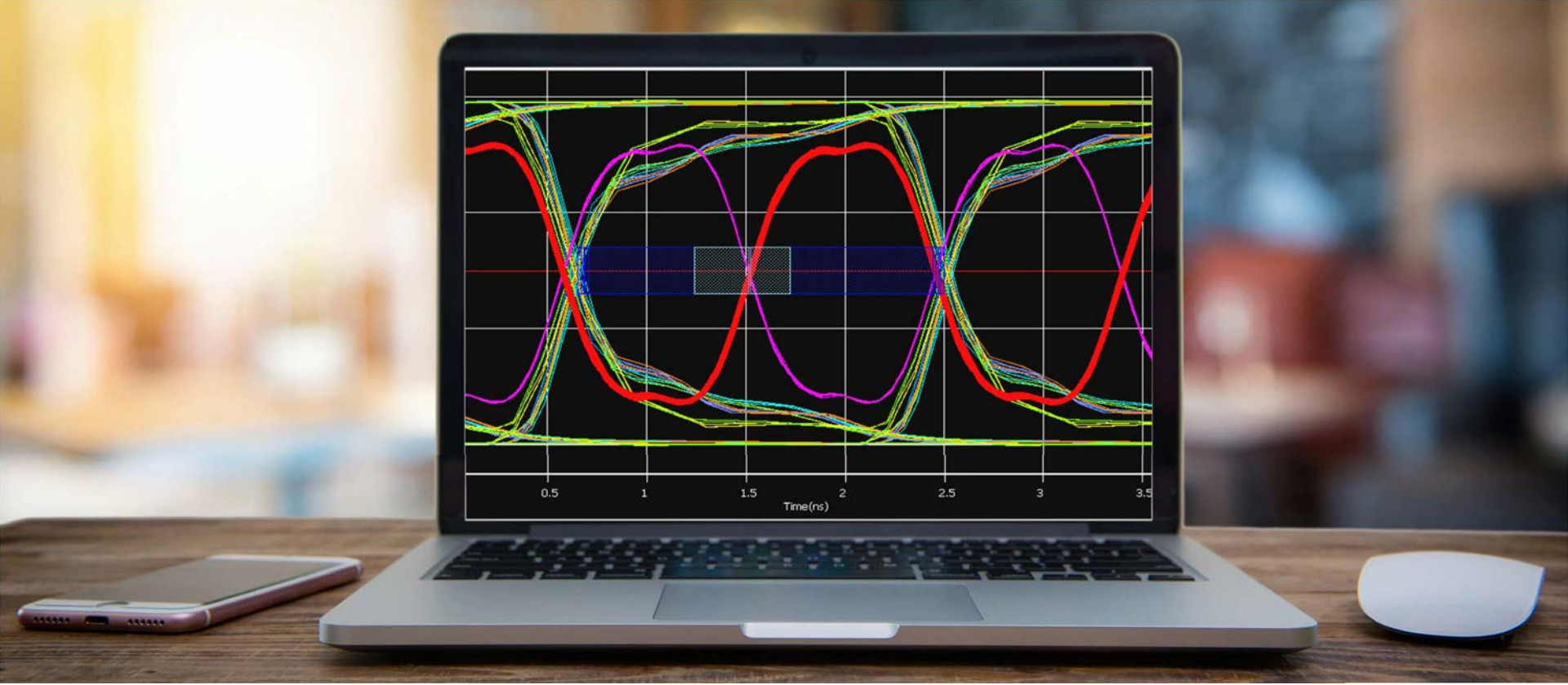
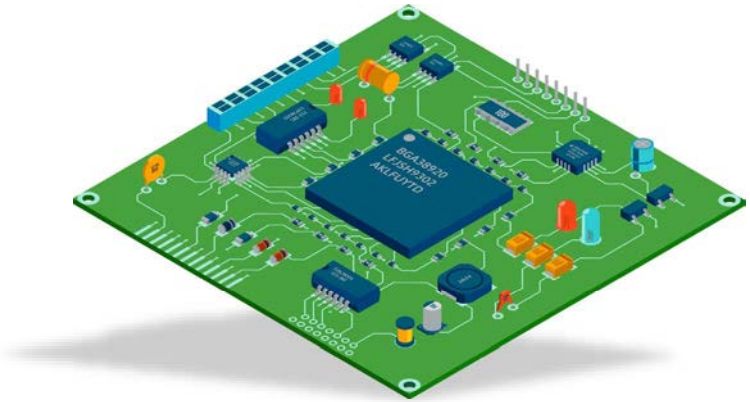


ALTAIR

初めてのダブルデータレート（DDRX）メモリインターフェースの設計

PollEx担当　加藤直也

アジェンダ



1 Designing DDR Right

ヒストリー、測定基準、アプローチ

2 Simulate DDR Interface

Altair PollEx SI

3 Verify DDR Interface

Altair PollEx DFE and DFE+

4 Right The First Time

シームレスなワークフローのためのAltairツール

5 Q&A

ALTAIR

DESIGNING DDR RIGHT

ALTAIR

DDR-ユビキタスの中で重要

コンシュマー製品

オートモーティブ

産業用自動化機器

通信

医療

ウェアラブル

航空宇宙

Image source: freepik.com/macrovector, adobe aftershock

DDRS DRAMの進化

データ転送速度の増加とノイズマージン（またはI / O電圧レベル）の縮小により、DDRインターフェイスの設計が困難になります

Feature	DDR	DDR2	DDR3	LPDDR3(e)	DDR4	LPDDR4	DDR5
Released	2000	2003	2007	2012	2014	2014	2020
Transfer Rate	200 – 400 MT/s	400 – 800 MT/s	800 – 1600 MT/s	800 – 2133 MT/s	1.6 – 3.2 GT/s	1.6 – 4.2 GT/s	3.2 – 6.4 GT/s
Densities	128 Mb – 1 Gb	256 Mb – 4 Gb	512 Mb – 8 Gb	4 – 32 Gb	2 - 16 Gb	8 – 32 Gb	8 - 64 Gb
Prefetch	2n	4n	8n	8n	8n	16n	8n/16n
Clock	Differential	Differential	Differential	Differential	Differential	Differential	Differential
Strobe	Single	Single/Diff	Differential	Differential	Differential	Differential	Differential
Supply Voltage	2.5V/2.6V	1.8V	1.35V/1.5V	1.2V/1.8V	1.2V	1.8V/1.1V	1.1V
Technology	SSTL-2	SSTL-18	SSTL-15	HSUL-12	POD-12	LVSTL-11	POD-11
ODT	No	Yes	Yes	Optional	Yes	Yes	Yes

ALTAIR

Data source: wikipedia.com

DDRメモリインターフェイスメトリック

定量的および定性的

分析と測定

- タイミングの関係
  - ✓ CLK ↔ Addr/Ctrl/Cmd
  - ✓ DQS ↔ Data/Mask
  - ✓ CLK ↔ DQS
- SI & Timing parameters
  - ✓ 書き込みサイクル- JEDEC 制約
  - ✓ 読込みサイクル- Controller制約

検証と最適化

- インピーダンス
  - ✓ バス, バイト, グループ, デファレンシャルペア
- カップリング / クロストーク
  - ✓ FEXT, NEXT, Jitter
- ACC Termination & DQ ODT
- Process-corner (typ/slow/fast)
- 良くない効果
  - ✓ Return current discontinuities
  - ✓ SSN, Ground bounce
  - ✓ DC IR drop

考慮すべき項目

- Rise and fall times
- Slew rate derating
- DQ ODTs
- Vref training
- Data Bus Inversion (DBI)
- Read/Write leveling & bit calibration
- 936469- 1T & 2T
- Single-die & Multi-die DRAMs

ALTAIR

DDRインターフェイス最適化アプローチ

既存のアプローチ

Placement & Fan-out	Plane Planning	Routing & Clean-up (Critical)	Routing & Clean-up	Clean-up & Gerber

Basic Design Rule Checks (Geometrical) – ECAD Tool

2-3 Hrs / Iteration

DDR SI Simulation 1 | DDR SI Simulation 2 | DDR SI Simulation 3 | Other SI/PI Simulation

Altair シミュレーションドリブンアプローチ

Placement & Fan-out	Plane Planning	Routing & Clean-up (Critical)	Routing & Clean-up	Clean-up & Gerber

Time Saved

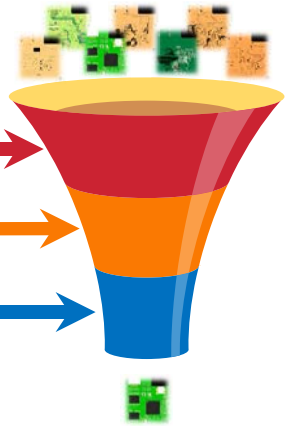
Basic Design Rule Checks (Geometrical) – ECAD Tool

5 Mins / Iteration — Advanced Geometrical Verification (PollEx DFE)

30 Mins / Iteration — Advanced Electrical Verification (PollEx DFE+)

1 Hr / Iteration — DDR Simulation (PollEx SI)

Other SI/PI Simulation



1 Verification

2 Analysis (coarse)

3 Analysis (fine)

ALTAIR

アプローチ方法の比較

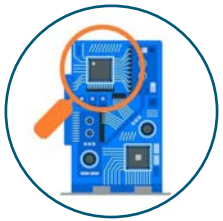
既存のアプローチ方法

イタレーションの増加
Typ. 3回-6回のイタレーション

検証時間
1-3 時間/イタレーション

重複する検証項目
Reflection, Skew, XT, SSN, etc.

表面的分析
根本的なエラー原因を見逃す



時間的制約
重要な箇所のみ

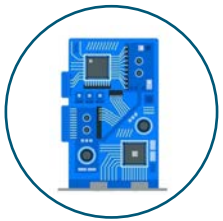
Altairのシミュレーションドリブンアプローチ方法

イタレーション時間の短縮
3つのすり鉢状アプローチ

時間とコストセーブ
既存1/3を実現

分割として取組む
ルール化できるものを分割しDFEにてチェック

根本から表面まで
短期間で調査し修正



カバレッジ強化
すべてを検証し、重要なものを分析します

ALTAIR

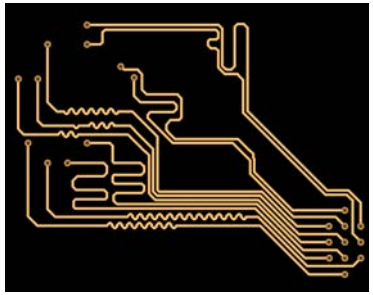
PNG source: PNGWing, Freepik, PNGFind

SIMULATE DDR INTERFACE WITH POLLEX

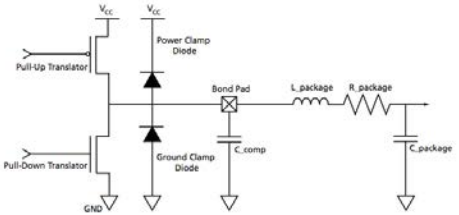
ALTAIR

PollEx SI

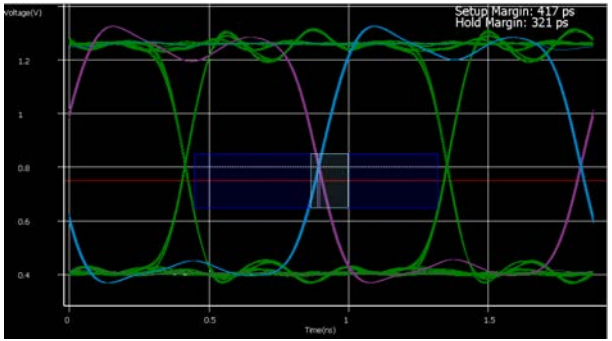
Altair Spice エンジン



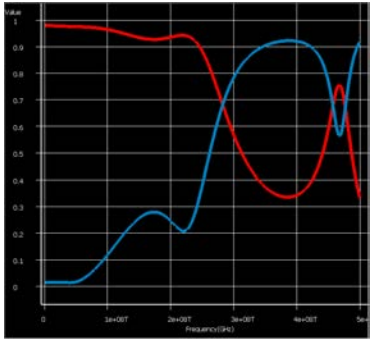
2.5D BEM Solver for Transmission line
3D FEM Solver for Vias



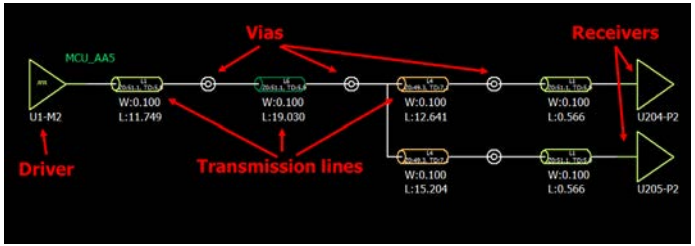
IBIS, SPICE, S-Parameter, RLC
& Linear Device Model対応



Time Domain Analysis



Frequency Domain Analysis

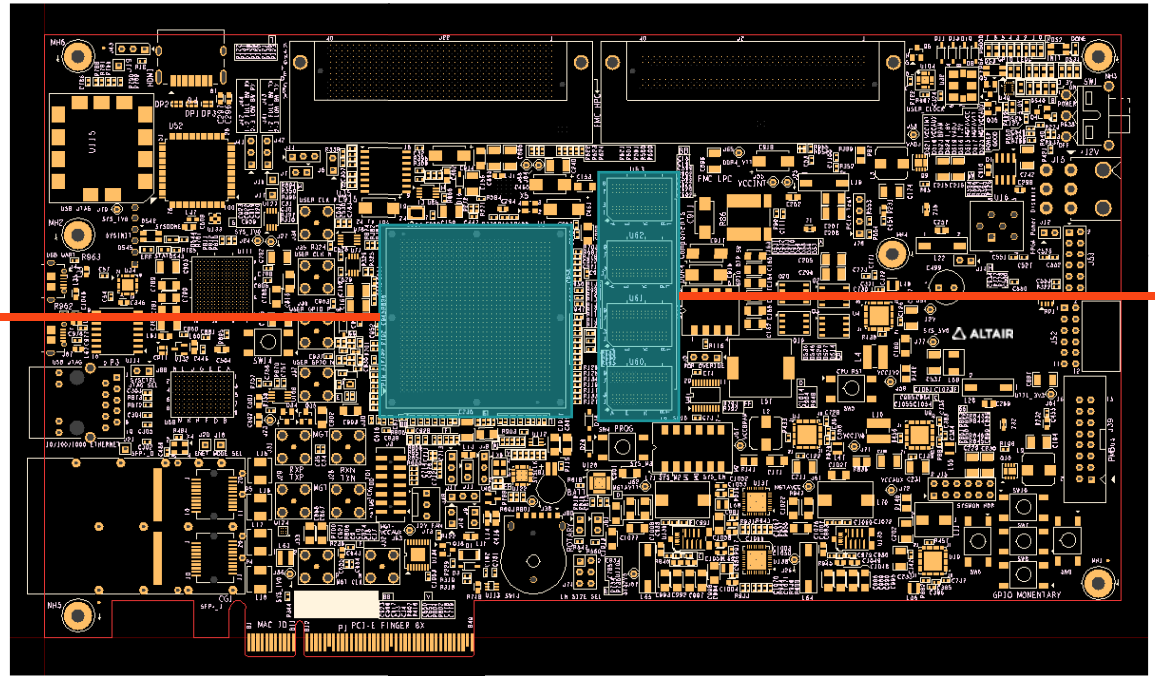


Pre & Post-layout Analysis

ALTAIR

Demo サンプルについて

XILINX
KINTEX UltraSCALE
FPGA

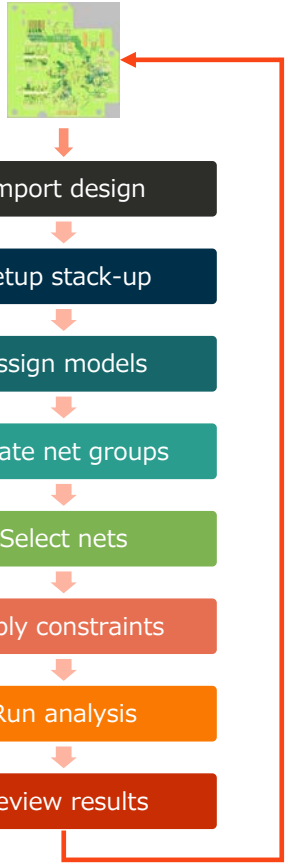


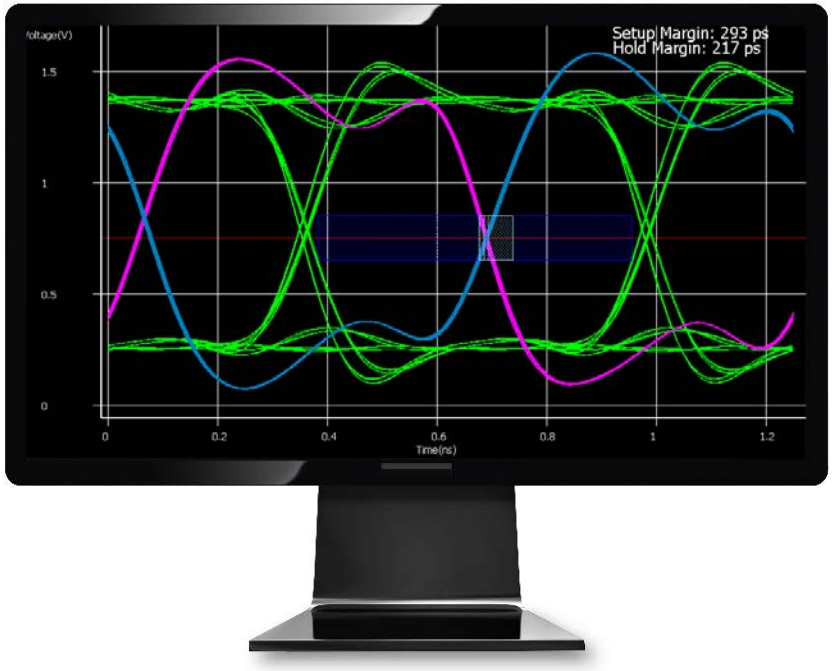
Micron
4 x 4Gb DDR4
256 Meg x 16
1866 MT/s
SDRAM

241.3 x 139.7 mm
16 Layers
Cadence Allegro 16.6

ALTAIR

PollEx SI DDRx シミュレーションワークフロー



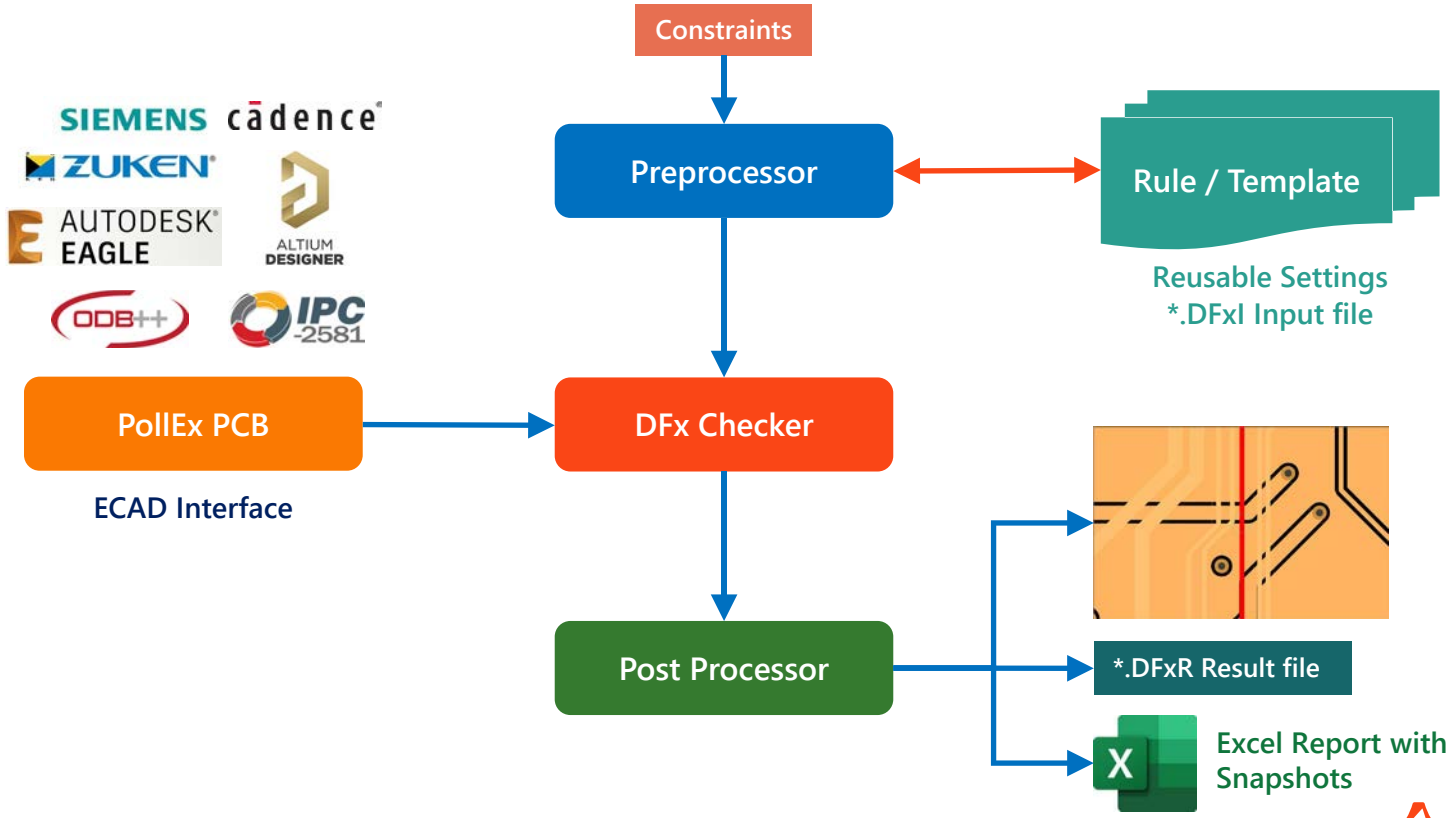


ALTAIR

VERIFY DDR INTERFACE WITH POLLEX

ALTAIR

PollExの根本原因分析ワークフロー



ALTAIR

PollEx DFE

Check Design For Electrical Validity

- ルールベースによるSI,PI,EMIの根本原因とEDS保護
  - ✓ 電気的欠陥は設計初期段階で対策
- 様々な業界で使用されている幾何学的チェックルール
- ユーザカスタマイズ可能なMS Excelフォーマットでの出力
- 自動化の為のバッチコマンド

Item	Sub-Item	SI	PI	EMI	ESD
HighSpeed	AGND/Power-Net Clearance	√	√		
	Approach GND VIA(Stitching VIA)	√			√
	Approach Prohibition Via	√			
	Complete Shield			√	√
	Copper Cross Over Detect	√		√	√
	Routing Area Ratio	√		√	
	Return Path	√		√	√
	Plane Edge Coupling Check				√

Item	Sub-Item	SI	PI	EMI	ESD
Differential Pair Nets	Diff-Complete Shield	√		√	
	Differential Pair Net	√			
	Differential Pair Net 2	√			
	Length & Width	√		√	

Item	Sub-Item	SI	PI	EMI	ESD
Board	Board to Component Clearance	√	√	√	
	Board to Net Clearance	√		√	√
	Groundwall of Via			√	√

Item	Sub-Item	SI	PI	EMI	ESD
Power	Antenna Ground			√	
	Connected Via	√	√		
	Decap		√	√	
	Decap2		√	√	
	Ground Coverage		√	√	√
	Inductance		√	√	
	Power-Net to Net		√		
	Parallel Jumper		√		
	Potential Difference		√		
	Power-Width		√		
	Stability Copper		√	√	√
	Supplementary Pattern		√		
	Via Option		√		√

Item	Sub-Item	SI	PI	EMI	ESD
Component	Approach Pair Comp	√			
	Component Direction	√		√	
	Component Position		√	√	
	Component Shield	√		√	
	Comp-Connected Circuit	√		√	
	Keep Off Pair Comp	√			
	NC Pin	√		√	
	Pin Connected Width		√		
	Polarity		√		

68 Rules, 7 Sections

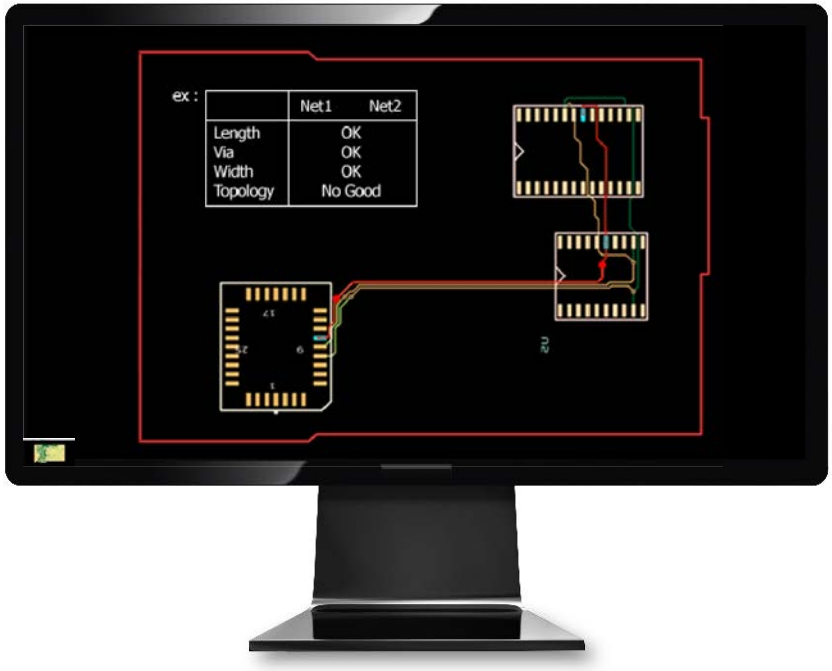
DFE Built-in Rules
High Speed
Differential Pair Nets
Net
Power
Component
Board
Filters

ALTAIR

バスの均等性をチェック

PollEx DFE → Bus

- DDR Address and Data buses
- ルーティングの一貫性
  - ✓ 長さ (許容値を含む)
  - ✓ パターン幅
  - ✓ Via 数
- トポロジーの構成と長さ
  - ✓ ディジーチェーン
  - ✓ ツリー
  - ✓ T-分岐

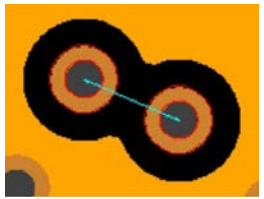


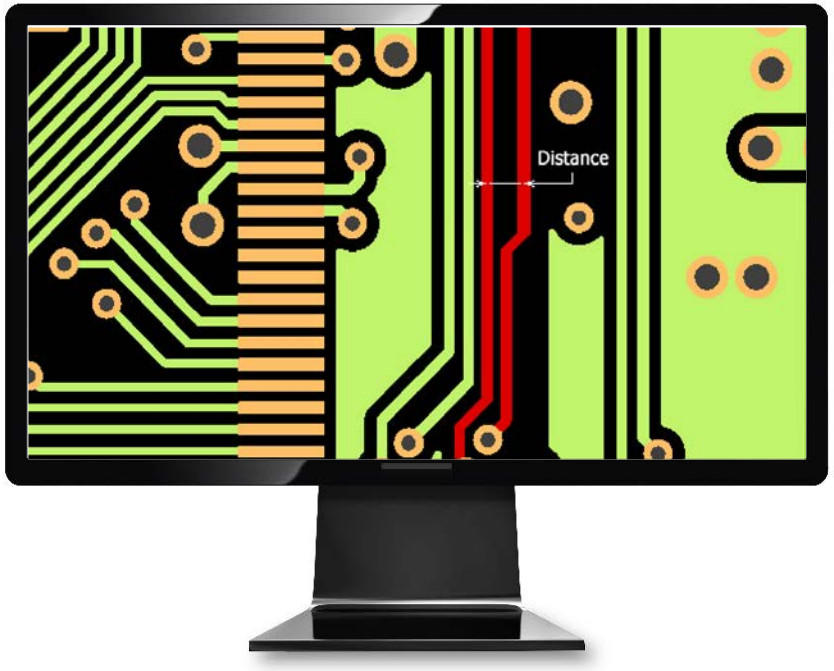
ALTAIR

差動ペア間のカップリングチェック

PollEx DFE → Differential Pair

- 差動ペアのコモンモードノイズを防止
  - ✓ ストローブとクロックネット
- 重要なパラメータ
  - ✓ 端-端のクリアランス(許容値を含む)
  - ✓ カップリング比率 (%)
  - ✓ 結合ネットとテストポイント
  - ✓ ナット形状 / ドッグボーンのアンチパッド



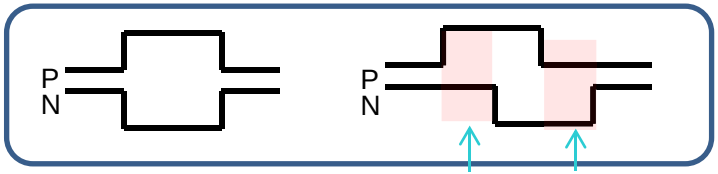


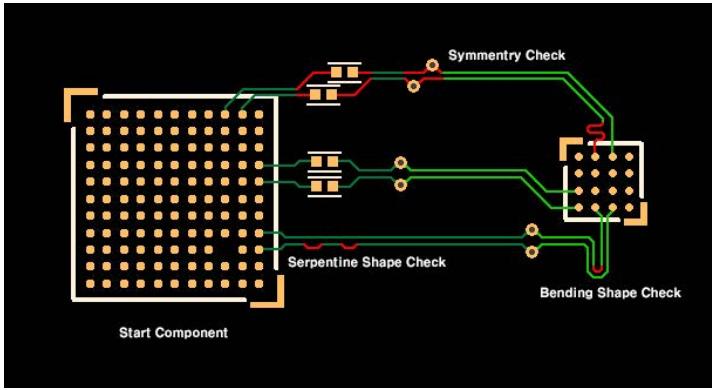
ALTAIR

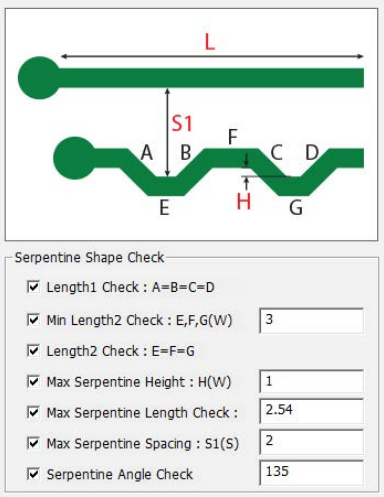
トロンボーンの形状チェック

PollEx DFE → Serpentine

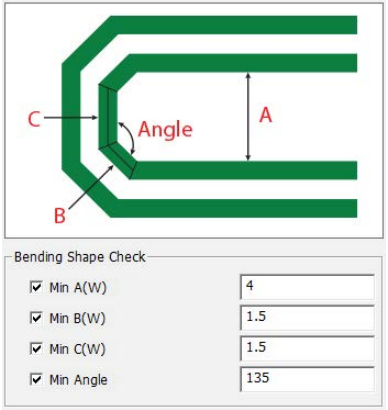
- 等長配線時のコモンモードノイズを防止



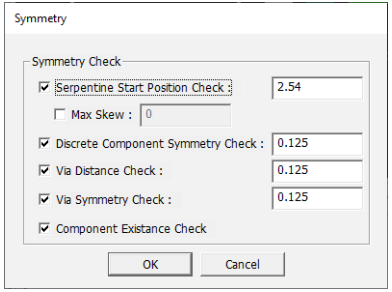




Serpentine Shape Check



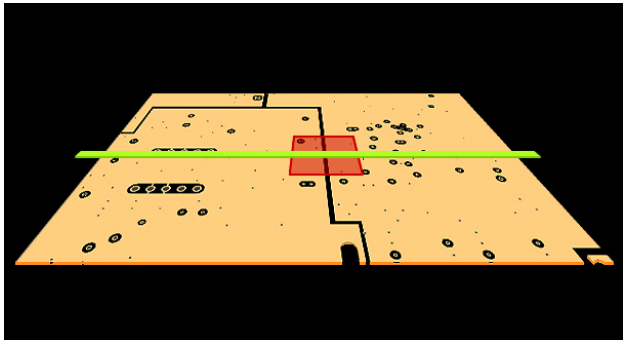
Bending Shape Check



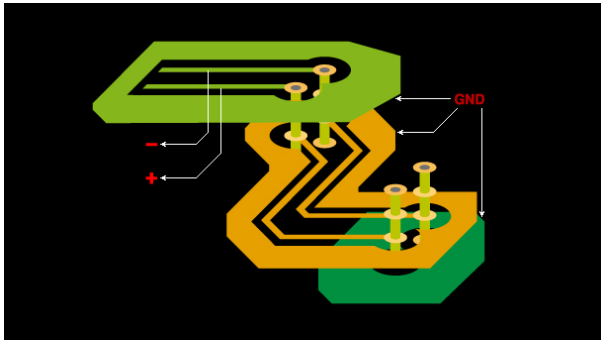
Routing / Via Symmetry

ALTAIR

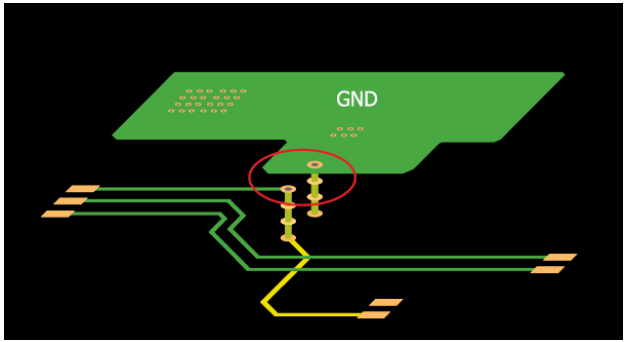
その他に有効なチェックアイテム



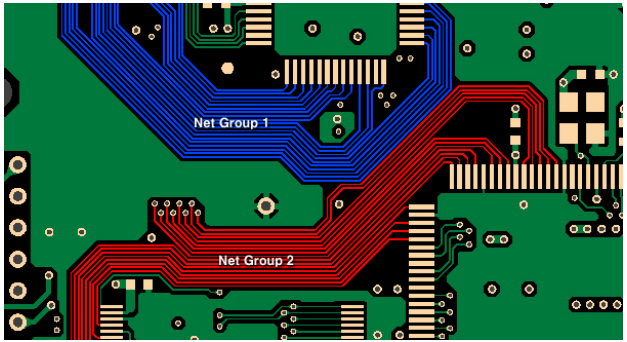
Return Current Path Discontinuity



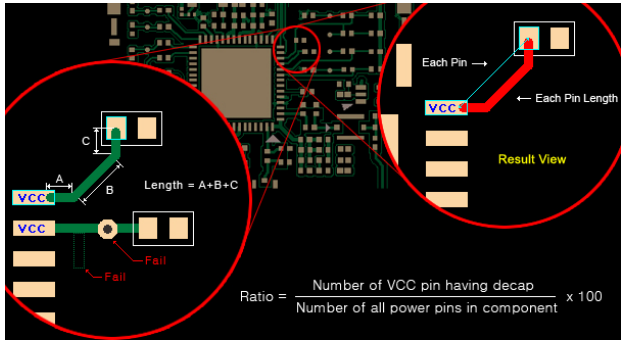
Shielding Symmetry



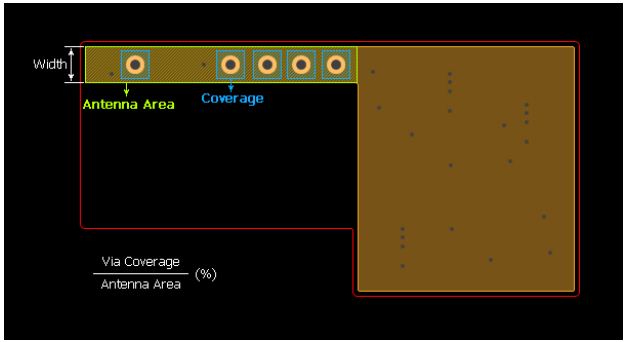
Stitching Via



Grouped Routing Check



Decap Placement & Routing



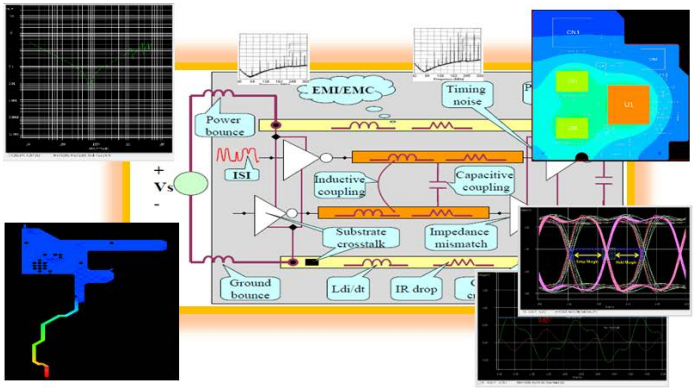
Radiating Copper

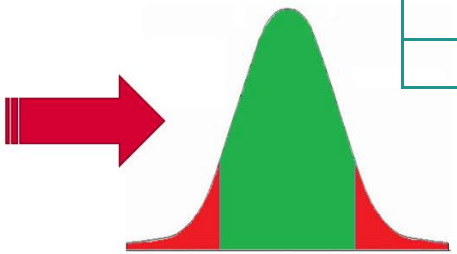
ALTAIR

PollEx DFE+

電気的最適化の為の高度な設計

- 半自動電気的検証システム(SI, PI)
- ２つの解析エンジンと検証ツールセットの組合せ
- 幾何学的な値ではなく電気的な値を設定
  - 時間 (pS), 電圧 (mV) 対長さ, 距離, 間隔 (mm)
- DFEエラーと相関させ重要度を分類





Analysis Result

9 Rules, 2 Sections

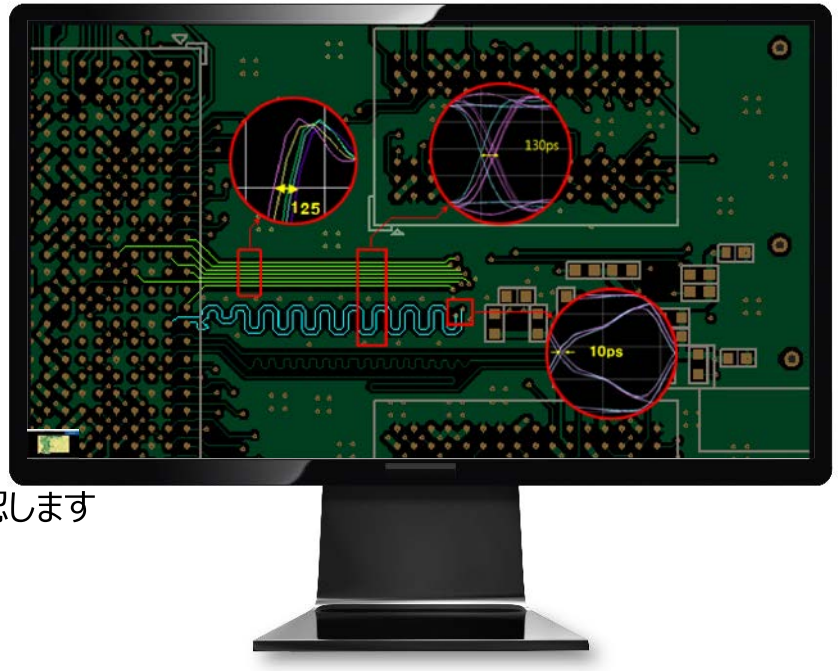
Signal Integrity
Crosstalk Jitter
Crosstalk Noise
DDR Compliance
Impedance
Timing Skew
Timing Margin
Power Integrity
IR-Drop
Loop Inductance
PDN Impedance

ALTAIR

ネット間のスキューを推定

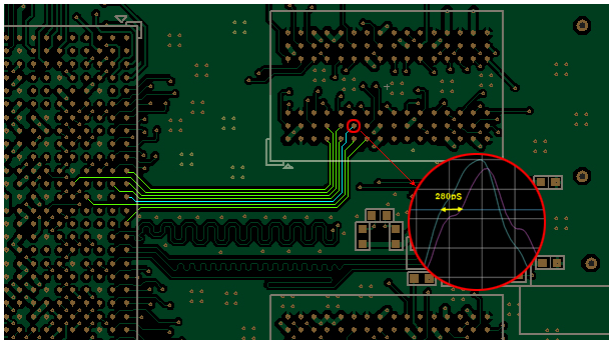
PollEx DFE+ → Timing Skew

- Bus Skew
  - ✓ ネットグループを含む
  - ✓ DQS+/- ↔ DQ/DM
  - ✓ CLK+/- ↔ Add/Ctrl/Cmd
- Differential Pair Skew
  - ✓ DQS+ ↔ DQS-
  - ✓ CLK+ ↔ CLK-
- 幾何学的スキューと電気的スキューの相関関係を確認します

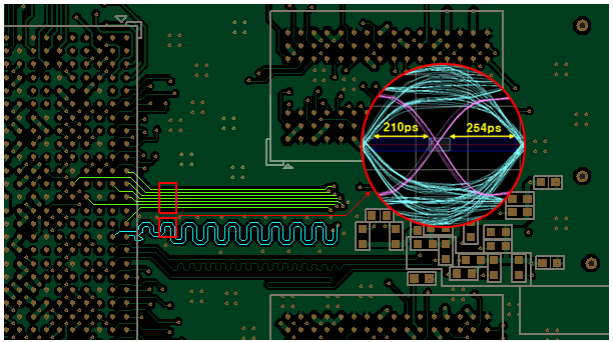


ALTAIR

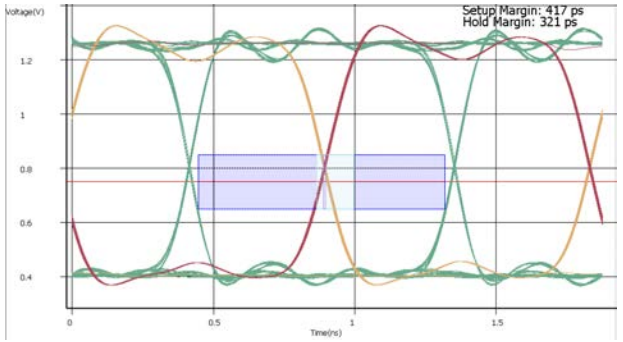
その他に有効なチェックアイテム



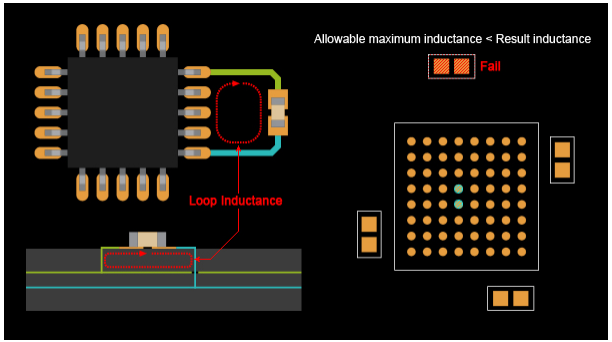
Crosstalk Jitter



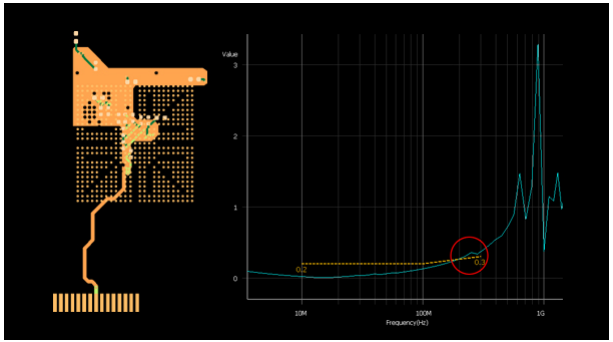
Timing Margin (DQ ↔ DQS)



DDRx Compliance



Loop Inductance



PDN Impedance

ALTAIR

シミュレーションを使用した分析
シミュレーションをコアにした検証
ルールベースの検証

これらを組み合わせることでスピード感のある精度の高い
DDR設計を強力サポートします。

ALTAIR

THANK YOU

altair.com

#ONLYFORWARD

ALTAIR